

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030052760 A

(43)Date of publication of application: 27.06.2003

(21)Application number: 1020010082789

(22)Date of filing: 21.12.2001

(71)Applicant: HYNIX SEMICONDUCTOR INC.

(72)Inventor: KIM, UI SIK
WOO, SANG HO

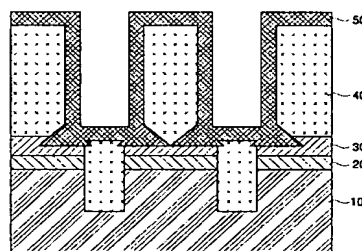
(51)Int. Cl. H01L 27/108

(54) METHOD FOR FORMING STORAGE NODE

(57) Abstract:

PURPOSE: A method for forming a storage node is provided to be capable of preventing the bridge between cells and maximizing the hole size of a cell formation portion.

CONSTITUTION: After sequentially depositing an etch stop layer (20) and a sacrificial layer(30) on a substrate(10) having a predetermined structure, the first contact hole is formed by carrying out a masking and etching process. After depositing a doped amorphous silicon layer(40) on the resultant structure, the second contact hole is formed in the resultant structure by carrying out an etch-back process. A cleaning process and a dipping process are sequentially carried out at the resultant structure for maximizing the hole size. After forming an oxide layer(50) having a predetermined thickness on the resultant structure, the first contact hole is opened by selectively etching the oxide layer. After forming a polysilicon layer on the inner surface of the second contact hole, an MPS(Meta-stable PolySilicon) layer is formed on the polysilicon layer.



&copy; KIPO 2003

Legal Status

특 2003-0052760

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

(11) 공개번호 특2003-0052760

H01L 27/10B

(43) 공개일자 2003년06월27일

(21) 출원번호	10-2001-0082789
(22) 출원일자	2001년12월21일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 미천시 부발읍 아미리 산136-1 우상호
	경기도미천시관동두산아파트103-2102 김익식
(74) 대리인	서울특별시강남구대치2동316은마아파트11-1103호 특허법인아주(대표변리사정은섭)

심사청구 : 있음

(54) 전자저장전극 형성 방법

요약

본 발명은 전자저장전극 형성 전에 세정 공정과 디핑 공정을 통해 홀 사이즈를 확대시킨 후 손상받은 회생산화막과 그 상부에 증착시킨캐패시터 형성용 산화막간의 식각차로 인해 발생한 노치 타입의 홀을 메우기 위해 일정 두께의 산화막을 증착한 후 콘택홀을 형성함으로써 셀과 셀 간의 브리지를 방지하고 셀 형성부의 홀 사이즈를 극대화 시켜 소자의 특성을 향상시키고 수율을 증가시킬 수 있는 이점이 있다.

도표도

도2a

색인어

전자저장전극, 노치타입홀, 식각차, 디핑공정

영세서

도면의 간단한 설명

도 1은 종래 기술에 의한 전자저장전극의 문제점을 나타내는 그림이다.

도2a 내지 도2i는 본 발명의 의한 전자저장전극 형성공정을 나타낸 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

10 : 기판	20 : 식각 정지막
30 : 회생 산화막	40 : 도프트 폴리실리콘막
50 : 산화막	60 : 폴리실리콘막
70 : 포토레지스트	80 : 준안정 폴리실리콘막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자저장전극 형성 전에 세정 공정과 디핑 공정을 통해 홀 사이즈를 확대시킨 후 손상받은 회

산화막과 그 상부에 증착시킨 캐패시터 형성을 산화막 식각차로 인해 발생한 노치 타입의 홈을 메우기 위해 일정 두께의 산화막을 증착한 후 콘택홀을 형성함으로써 셀과 셀 간의 브리지를 방지하고 셀 형성부의 홈 사이지를 극대화 시켜 소자의 특성을 향상시키고 수율을 증가시킬 수 있는 전하저장전극 형성 방법에 관한 것이다.

반도체 장치의 고집적화에 따라 DRAM(Dynamic Random Access Memory) 등의 반도체 메모리 장치는 동작 특성의 확보를 위하여 더욱 큰 정전용량의 캐패시터를 요구하고 있다. 또한 고집적화에 따라 단위 셀당 면적이 축소하면서 적은 레이아웃면적을 차지하면서도 큰 정전용량을 확보해야만 한다.

도 1은 종래 기술에 의한 전하저장전극의 문제점을 나타내는 그림이다.

종래의 전하저장 전극형성하기 위한 방법은 도시되지 않았지만 먼저 반도체 기판에 소정의 하부 구조를 형성한 후 전하저장전극을 형성하기 위하여 평탄화 공정을 실시하고 일정 두께의 식각정지막과 희생 산화막을 차례로 형성하고, 마스크 공정 및 식각 공정을 통해 전하저장 전극이 형성될 부위에 제1 콘택홀을 형성한다.

이어서, 제1 콘택홀을 채우기 위해 도프트 비정질 실리콘막이나 다결정 실리콘막을 증착하고 전면 식각을 통해 제2콘택홀을 형성한 후 일정 높이의 산화막을 증착시킨 후 마스크 공정 및 식각 공정을 통해 전하저장 전극이 형성될 부위를 패터닝한 후 전하저장전극을 형성하기 위한 세정 공정을 진행한다.

그러나 이러한 종래의 전하저장 전극의 문제점은 도1에 도시된 바와 같이 폴리실리콘막 에치백 공정시 식각정지막 상부의 희생산화막이 손상 되기때문에 손상된 희생산화막과 폴리실리콘막과의 식각차로 인해 노치 타입의 홈이 형성되어 이로인해 셀과 셀간에 브리지가 발생되어 소자의 특성 저하 및 수율 감소를 초래하는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 창작성된 것으로서, 본 발명의 목적은 전하저장전극 형성에 세정 공정과 디핑 공정을 통해 홈 사이지를 확대시킨 후 손상받은 희생산화막과 그 상부에 증착시킨 캐패시터 형성을 산화막간의 식각차로 인해 발생한 노치 타입의 홈을 메우기 위해 일정 두께의 산화막을 증착한 후 콘택홀을 형성함으로써 셀과 셀 간의 브리지를 방지하고 셀 형성부의 홈 사이지를 극대화 시켜 소자의 특성을 향상시키고 수율을 증가시키도록 하는 전하저장전극 형성 방법을 제공하는 것이다.

발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명은 소정의 하부구조가 형성된 기판 상에 전하저장 전극을 형성하기 위한 평탄화 공정을 진행한 후 식각 정지막과 희생 산화막을 차례로 증착하는 단계와, 상기 결과물에 마스크 공정 및 식각 공정을 통해 제1 콘택홀을 형성하는 단계와, 상기 전하저장 전극용 제1 콘택홀을 채우기 위해 도프트 비정질 실리콘 증착하는 단계와, 상기 도프트 비정질 실리콘막에 에치 백 공정을 통해 제 2 콘택홀을 형성한 후 세정 공정 실시하는 단계와, 상기 세정공정 후 일정 시간 동안 산화 습식 식각액에 디핑시키는 단계와, 상기 제 2 콘택홀이 형성된 결과물에 일정 두께의 산화막 형성시킨후 에치백 공정을 진행하여 하부의 제1 콘택홀을 오픈 시키는 단계와, 상기 제 1 콘택홀이 오픈된 결과물상에 일정 두께의 폴리실리콘막을 증착한 후 포토레지스트를 일정 두께로 증착하는 단계와, 상기 포토레지스트를 이용한 에치백 공정을 통해 폴리실리콘막 상부를 식각하는 단계와, 상기 포토레지스트를 제거한 후 준안정 폴리실리콘(MPS: meta-stable polysilicon)을 형성시키는 단계를 포함하는 것을 특징으로 하는 전하저장 전극 형성 방법에 관한 것이다.

이때, 상기 세정 공정은 유기물을 제거하기 위해 크린 8용액($H_2SO_4+H_2O=4:1$)과, 파티클 및 이물질 제거하기 위해 SC-1용액과, 자연산화막의 생성을 방지하기 위해 HF 또는 BOE 용액을 이용하는 것을 특징으로 하고, 상기 폴리실리콘막은 SiH_4 , Si_3H_8 , $SiHCl_3$, 또는 PH_3 가스중 어느 하나를 이용하여 450 ~ 550°C의 온도와 0.1~300torr에서 100~2000 Å의 두께로 형성하는 것을 특징으로 한다.

또한, 상기 산화막은 HTO막, LTO막, PE-TEOS막, LP-TEOS막 중에 어느 하나로 CVD 방식을 이용하여 형성하는 것을 특징으로 한다.

또한, 상기 산화 습식식각액을 이용한 디핑 공정은 300:1의 BOE 용액을 이용하여 5~300초 동안 실시하는 것을 특징으로 하고, 상기 준안정폴리실리콘막(MPS)은 상기 폴리실리콘막의 1.1~2.6배로 형성하는 것을 특징으로 한다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리 범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

도2a 내지 도2i는 본 발명에 의한 전하저장전극 형성공정을 나타낸 단면도들이다.

먼저 도2a에 도시된 바와 같이 소정의 하부구조가 형성된 기판(10) 상에 전하저장 전극을 형성하기 위한 평탄화 공정을 진행한 후 식각 정지막(20)과 희생 산화막(30)을 차례로 증착하고, 이어서 마스크 공정 및

식각 공정을 통해 전하저장 전극용 제1 콘택홀(미도시함)을 형성한다.

그리고 전하저장 전극용 제 1 콘택홀(미도시함)을 채우기 위해 도프트 비정질 실리콘(40) 증착한다.

이어서 도2b에 도시된 바와 같이 에치 백 공정을 통해 제 2 콘택홀(8)을 형성한 후 세정 공정을 진행한다.

이때 유기물을 제거하기 위해 크린 B용액($H_2SO_4:H_2O=4:1$)과, 파티클 및 이물질 제거하기 위해 SC-1용액과, 자연산화막의 생성을 방지하기 위해 HF 또는 BOE 용액에 세정한 후 일정 시간 동안 습식 식각액에 디핑시켜 제 2 콘택홀(8) 사이즈를 최대한 확대한다.

이때, 상기 디핑 공정은 300:1의 BOE 용액을 이용하여 5~300초 동안 실시한다.

그리고 도2c에 도시된 바와 같이 하부 측벽으로 손상 받은 부분과 손상 받지 않은 부분의 산화막 사이의 식각차로 인해 세정 공정시 발생한 노치 타입(notch type)의 홀을 메우기 위해 일정 두께의 산화막(50)을 형성시킨 후 도2d에 도시된 바와 같이 에치백 공정을 진행하여 하부의 제 1 콘택홀(미도시함)을 오픈 시킨다.

이때, 산화막(50)은 HTO막(High Temperature Oxide), LTO막(Low Temperature Oxide)막, PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Sillicate)막, LP-TEOS(Low Pressure-Tetra Ethyl Ortho Sillicate)막, 중에 어느 하나로 형성한다.

이어서, 도2e에 도시된 바와 같이 비정질 형태로 일정 두께의 폴리실리콘막(60)을 증착시킨다.

이때, 폴리실리콘막(60)은 SiH_4 , Si_2H_6 , SiH_2Cl_2 , 또는 PH_3 가스중 어느 하나를 이용하여 450 ~ 560°C의 온도와 0.1~300torr에서 100~2000 Å의 두께로 형성한다.

그리고 도2f에 도시된 바와 같이 폴리실리콘막(60)상부에 포토레지스트(70)를 증착하고 도2g에 도시된 바와 같이 포토레지스트(70)를 이용한 에치백 공정을 통해 폴리실리콘막(60) 상부를 식각한다.

이어서 도2h에 도시된 바와 같이 포토레지스트(70)를 제거하여 전하저장 전극 모양을 만들고, 도2i에 도시된 바와 같이 저장전극의 용량을 증대시키기 위하여 준안정 폴리실리콘(MPS, meta-stable polysilicon : 80)을 폴리실리콘막(60)의 1.1~2.4배로 형성시킨다.

발명의 효과

상기한 바와 같이 본 발명은 전하저장전극 형성 전에 세정 공정과 디핑 공정을 통해 홀 사이즈를 확대시킨 후 손상받은 희생산화막과 그 상부에 증착시킨 캐패시터 형성용 산화막간의 식각차로 인해 발생한 노치 타입의 홀을 메우기 위해 일정 두께의 산화막을 증착한 후 콘택홀을 형성함으로써 셀과 셀 간의 브리지를 방지하고 셀 형성부의 홀 사이즈를 극대화시켜 소자의 특성을 향상시키고 수율을 증가시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1. 소정의 하부구조가 형성된 기판 상에 전하저장 전극을 형성하기 위한 평탄화 공정을 진행한 후 식각 정지막과 희생 산화막을 차례로 증착하는 단계와,

상기 결과물에 마스크 공 및 식각 공정을 통해 제1 콘택홀을 형성하는 단계와,

상기 전하저장 전극용 제1 콘택홀을 채우기 위해 도프트 비정질 실리콘 증착하는 단계와,

상기 도프트 비정질 실리콘막에 에치 백 공정을 통해 제 2 콘택홀을 형성한 후 세정 공정 실시하는 단계와,

상기 세정공정 후 일정 시간 동안 산화 습식 식각액에 디핑시키는 단계와,

상기 제 2 콘택홀이 형성된 결과물에 일정 두께의 산화막 형성시킨후 에치백 공정을 진행하여 하부의 제1 콘택홀을 오픈 시키는 단계와,

상기 제 1 콘택홀이 오픈된 결과물상에 일정 두께의 폴리실리콘막을 증착한 후 포토레지스트를 일정 두께로 증착하는 단계와,

상기 포토레지스트를 이용한 에치백 공정을 통해 폴리실리콘막 상부를 식각하는 단계와,

상기 포토레지스트를 제거한 후 준안정 폴리실리콘을 형성시키는 단계

를 포함하는 것을 특징으로 하는 전하저장 전극 형성 방법.

청구항 2. 제 1항에 있어서, 상기 세정 공정은 유기물을 제거하기 위해 크린 B용액($H_2SO_4:H_2O=4:1$)과, 파티클 및 이물질을 제거하기 위해 SC-1용액과, 자연산화막의 생성을 방지하기 위해 HF 또는 BOE 용액을 이용하는 것을 특징으로 하는 전하저장 전극 형성 방법.

청구항 3. 제 1항에 있어서, 상기 폴리실리콘막은 SiH_4 , Si_2H_6 , SiH_2Cl_2 , 또는 PH_3 가스중 어느 하나를 이용하여 450 ~ 560°C의 온도와 0.1~300torr에서 100~2000 Å의 두께로 형성하는 것을 특징으로 하는 전하저장 전극 형성 방법.

청구항 4. 제 1항에 있어서, 상기 산화막은 HTO막, LTO막, PE-TEOS막, LP-TEOS막 중에 어느 하나로 형

성하는 것을 특징으로 하는 전하저장 전극 형성 방법.

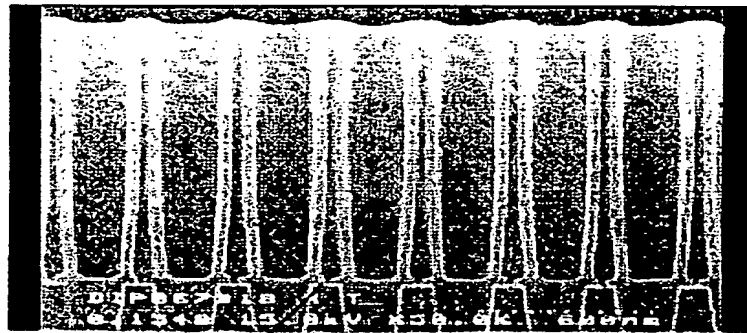
청구항 5. 제 4항에 있어서, 상기 산화막은 CVD 방식으로 형성하는 것을 특징으로 하는 전하저장 전극 형성 방법.

청구항 6. 제 1항에 있어서, 상기 산화 습식식각액을 이용한 디핑 공정은 300:1의 80E 용액을 이용하여 5-300초 동안 실시하는 것을 특징으로 하는 전하저장 전극 형성 방법.

청구항 7. 제 1항에 있어서, 상기 준안정폴리실리콘막(MPS)은 상기 폴리실리콘막의 1.1~2.6배로 형성하는 것을 특징으로 하는 전하저장 전극 형성 방법.

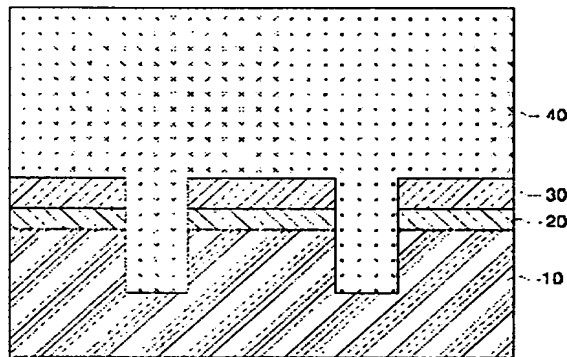
도면

도면1

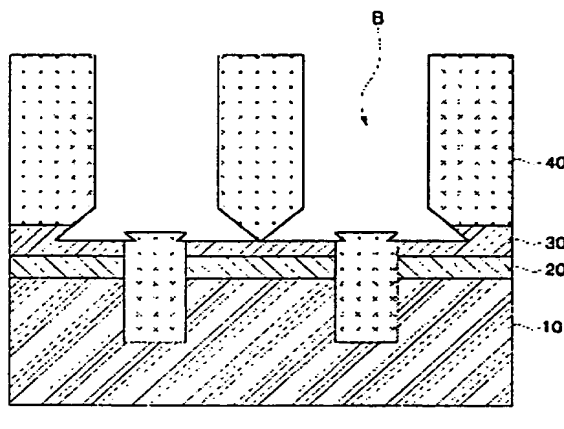


cell to cell bridge

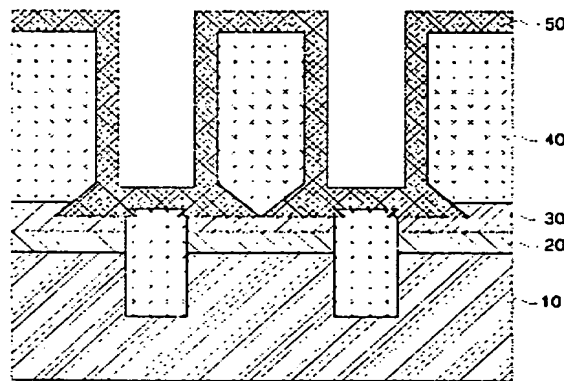
도면2a



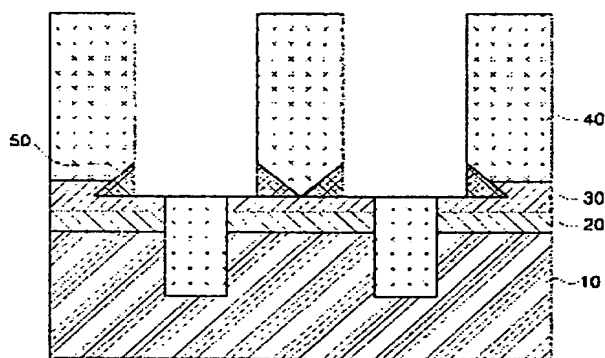
도면 2



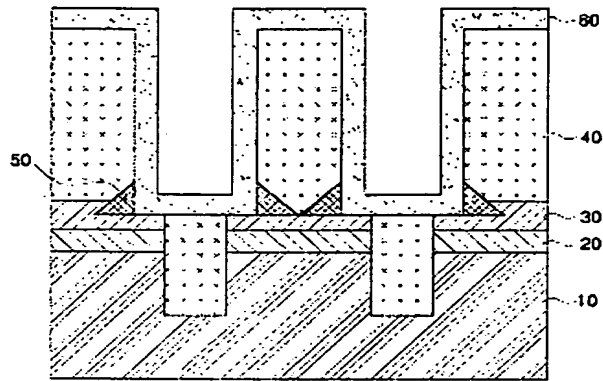
도면 3



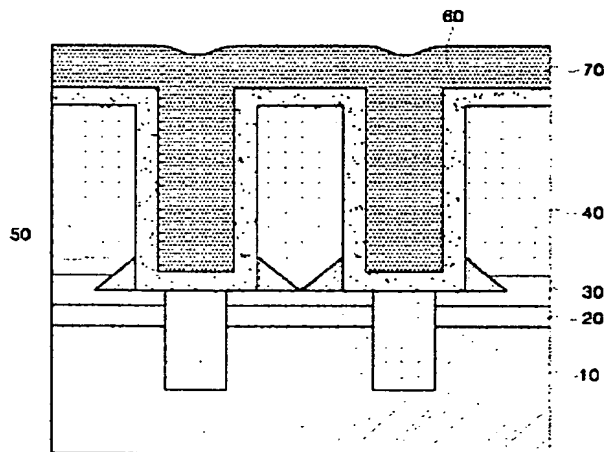
도면 4



도면 50a



도면 50b



도면 50c

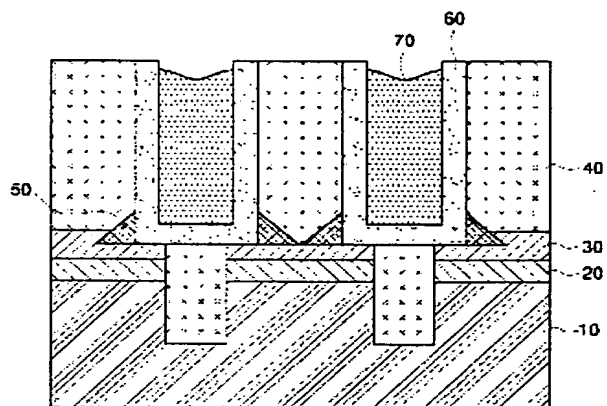


図 21

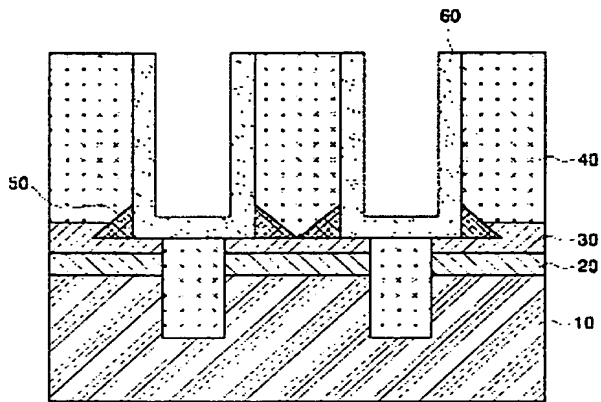


図 22

